

МИНОБРНАУКИ РОССИИ

ФГБОУ ВПО «УРАЛЬСКИЙ ГОСУДАРСТВЕННЫЙ ЛЕСОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

Кафедра автоматизации производственных процессов

В.Я. Тойбич

Г.Г. Ордуянц

**ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА.
ИССЛЕДОВАНИЕ И РЕШЕНИЕ ЗАДАЧ
В ОБОЛОЧКЕ MULTISIM**

Методические указания
к практическим и лабораторным работам
по курсу «Интегральная схемотехника (цифровая)»
для студентов очной и заочной форм обучения
направлений 220200 «Автоматизация и управление»,
220400 «Управления в технических системах»,
220700 «Автоматизация технологических процессов и производств»

Екатеринбург
2014

Печатается по рекомендации методической комиссии ИЛБиДС.
Протокол № 1 от 19 сентября 2013 г.

Рецензент – доцент кафедры АПП Санников С.П.

Редактор Е.Л. Михайлова
Оператор компьютерной верстки Т.В. Упова

Подписано в печать 20.11.14

Плоская печать

Заказ №

Формат 60×84 1/16

Печ. л. 1,63

Поз. 9

Тираж 10 экз.

Цена руб. коп.

Редакционно-издательский отдел УГЛТУ
Отдел оперативной полиграфии УГЛТУ

Общие сведения

Отличие последовательных схем от комбинационных состоит в том, что первые из них способны анализировать не только комбинации входных сигналов в данный момент (такт) времени, но и «помнят» и учитывают в своем поведении те «события», которые имели место до этого момента (такта). Иначе говоря, последовательные устройства и схемы являются многотактными, а сами элементы обладают памятью. Таким простейшим элементом памяти является *триггер*.

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния и способную скачком переходить из одного состояния в другое под воздействием внешних сигналов. Эти состояния триггера называются единичным и нулевым и соответствуют логическому уровню на прямом выходе триггера. Перевод триггера в единичное состояние называют установкой (включением, взведением), для чего воздействуют на вход S (от Set). При воздействии на вход R (от Reset) триггер обнуляется (сбрасывается, гасится).

Простейший RS-триггер получается, если включить кольцом два инвертирующих элемента, например 2ИЛИ-НЕ, как показано на рис. 1.

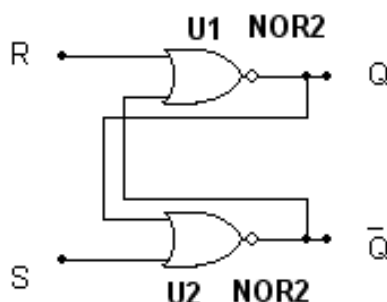


Рис. 1. RS-триггер на элементах 2ИЛИ-НЕ

Пока на обоих управляющих входах R и S уровни сигналов не активны (равны нулям), триггер находится в каком-либо одном из двух устойчивых состояний. Если значение сигнала на выходе Q равно 1, то, как видно из схемы, этот единичный сигнал, поступая по цепи обратной связи на вход элемента U2, вызывает появление на выходе Q сигнала с нулевым уровнем. В свою очередь, нулевой уровень выхода Q, поступая на вход элемента U1, поддерживает Q в состоянии 1. В табл. 1 приведены все возможные сочетания входных сигналов и их воздействие на выход Q в $n+1$ -м такте с учетом собственного состояния триггера в предыдущем n -м такте.

Если $S=R=1$, то на обоих выходах Q и \bar{Q} появятся нули. Если теперь одновременно снять единицы со входов R и S, то оба элемента начнут переключаться и с вероятностью 50/50 в единичном состоянии может ока-

заться любой из них. Эта ситуация отражена в двух последних строках таблицы и считается запрещенной из-за своей неопределенности после снятия входных сигналов.

Таблица 1

Состояние RS-триггера в n+1-м такте

R	S	Q _n	Q _{n+1}	Режим	R	S	Q _n	Q _{n+1}	Режим
0	0	0	0	Хранение	1	0	0	0	Сброс
0	0	1	1		1	0	1	0	
0	1	0	1	Установка	1	1	0	X	Запрещено
0	1	1	1		1	1	1	X	

На рис. 2 показан триггер, построенный на элементах 2И-НЕ, т.е. двойственный по отношению к триггеру на рис. 1.

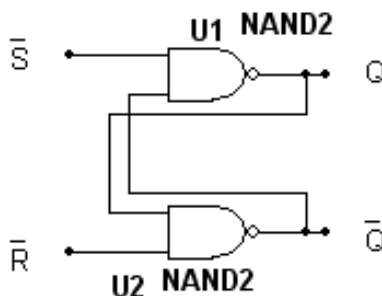


Рис. 2. RS-триггер на элементах 2И-НЕ

В этом триггере все наоборот. В режиме хранения на обоих входах должны быть не нули, а единицы; сигналы управления R и S должны иметь активный низкий уровень (поэтому над символами входных сигналов R и S изображены знаки инверсии); одновременная подача двух нулей на входы запрещена.

Конечно, построение триггеров не ограничивается применением только элементов 2ИЛИ-НЕ и 2И-НЕ, можно увеличить число входов этих элементов или применить более сложные логические структуры, позволяющие управлять триггером комбинацией входных сигналов. Если соединить в кольцо не два, а любое четное число инвертирующих элементов, то полученная схема также будет иметь два устойчивых состояния. Поскольку нуль – число четное, кольцо, имеющее нуль инверторов, также обладает триггерными свойствами.

Общее выражение функционирования RS-триггера может быть записано

$$Q_{n+1} = (S_n + Q_n) \& \bar{R}_n.$$

Быстродействие триггера определяется числом элементов и величиной задержки распространения сигнала через один элемент $t_{зд.р}$. Для современных микросхем ТТЛ и КМОП это время составляет от единиц до нескольких десятков наносекунд. На рис. 3 показана временная диаграмма переходных процессов в триггере, изображенном на рис. 1. Из диаграммы видно, что оба элемента триггера U1 и U2 переключаются не одновременно, а последовательно, друг за другом, и существуют моменты времени, когда и на прямом Q, и на инверсном \bar{Q} выходах триггера уровни одинаковые. Это так называемые «незаконные» состояния.

Для отсеечения еще неустановившихся, искаженных переходными процессами результатов между выходом логической схемы и входом триггера было предложено включить конъюнктор, как показано на рис. 4. Образовавшийся дополнительный вход получил название входа синхронизации и обозначение CLK (от CLOCK – тактировать).

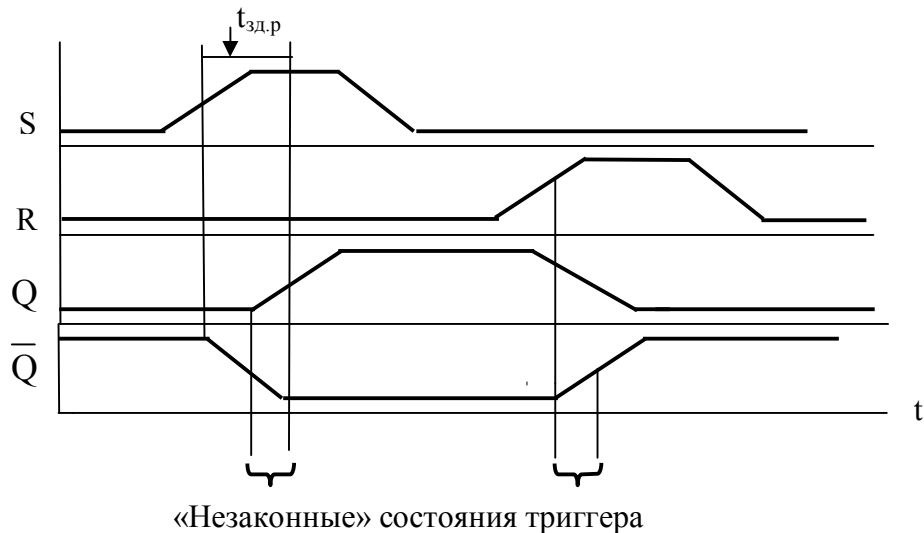


Рис. 3 Временная диаграмма работы триггера

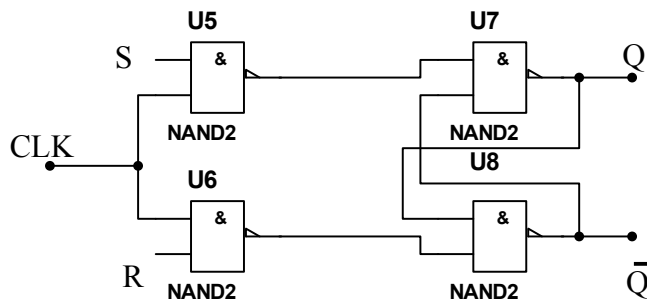


Рис. 4. Синхронный RS-триггер

Характерной особенностью схемы, приведенной на рис. 4, является то, что в течение всего отрезка времени, когда синхросигнал равен 1, как

сами потенциалы на управляющих RS входах, так и любые их изменения тут же передаются на выход. Поэтому о таком триггере говорят, что он «прозрачен».

На рис. 5 приведена временная диаграмма работы синхронного RS-триггера, из которой следует, что изменение состояний выходов триггера возможно только при совпадении сигналов управления и синхронизации. Синхровход CLK может в принципе иметь и активный низкий уровень; в этом случае он, как обычно, помечается кружочком или указателем уровня.

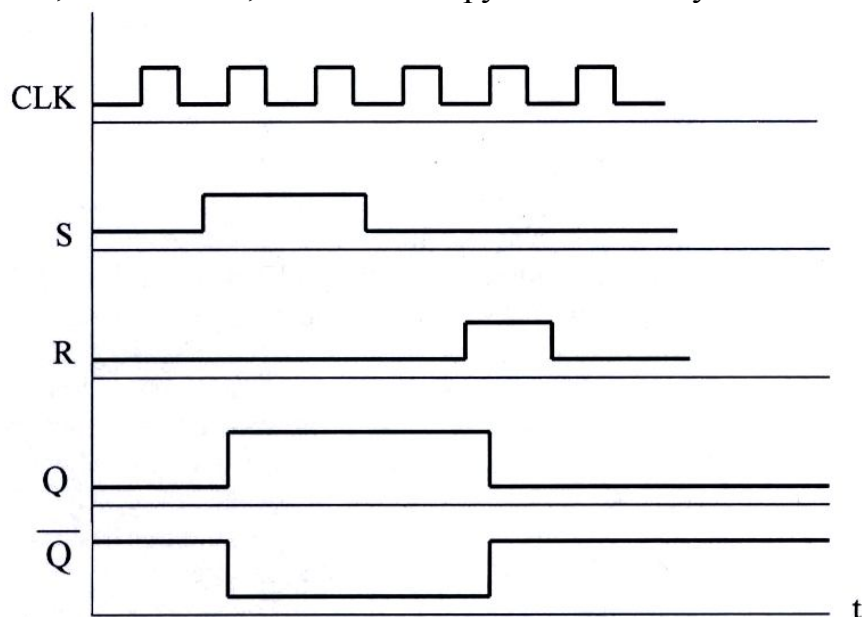


Рис. 5 Временная диаграмма сигналов для синхронного триггера

На рис. 6 показана схема, состоящая из двух последовательно включенных синхронных RS-триггеров, первый из которых называется ведущим, или М-триггером (от Master – хозяин), а второй ведомым, или S-триггером (от Slave – раб).

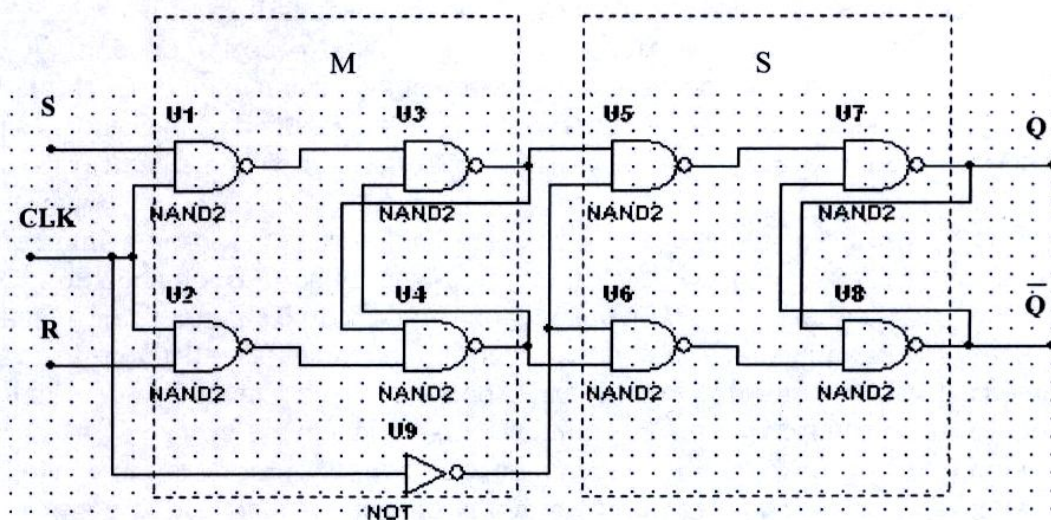


Рис. 6. Двухступенчатый RS-триггер

Благодаря общему синхросигналу CLK вся схема функционирует как единое целое и называется двухступенчатым, или MS-триггером (Master-Slave flip-flop). Из временной диаграммы рис. 7 видно, что информация, задаваемая уровнями на входах R и S по фронту CLK-сигнала, принимается в M-триггер, но в течение всего времени, пока CLK-сигнал равен 1, не проходит в S-триггер, поскольку его входные конъюнкторы U5 и U6 в это время перекрыты инверсией синхросигнала CLK.

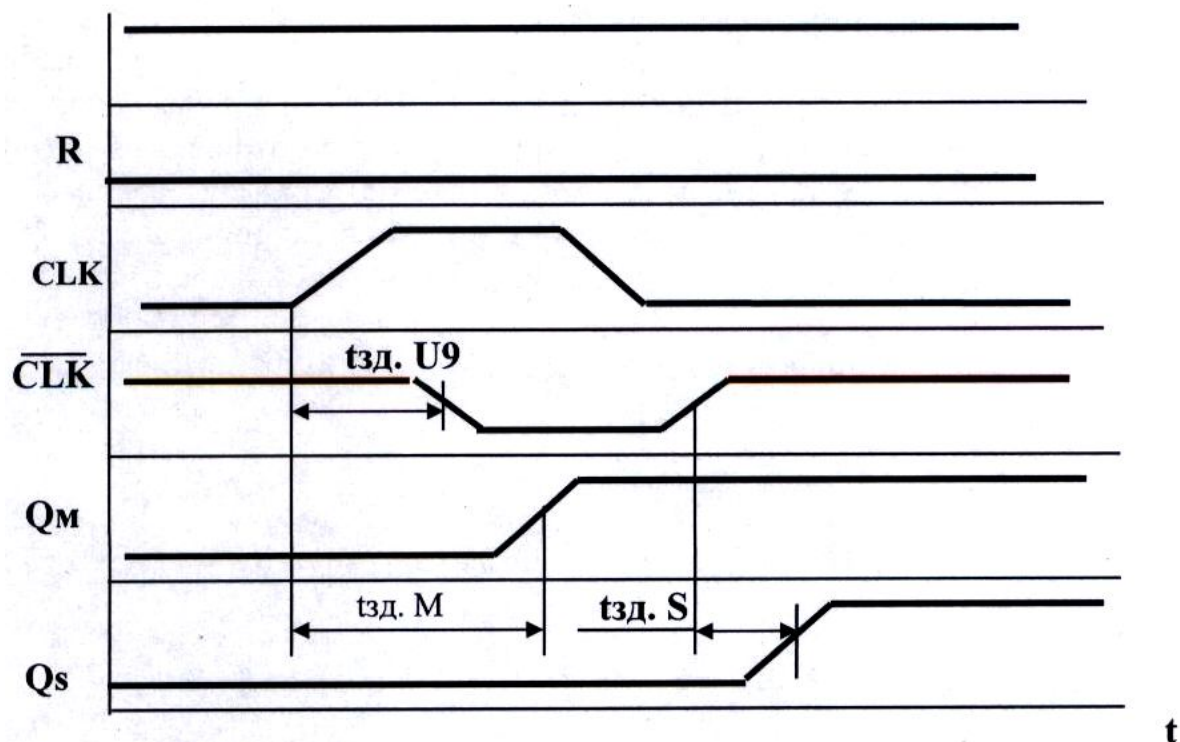


Рис. 7. Временные диаграммы двухступенчатого триггера

Они откроются лишь при $CLK=1$, т.е. на срезе \overline{CLK} -сигнала, и только тогда S-триггер примет состояние M-триггера. Таким образом, MS-триггер «непрозрачен» по управляющим RS- входам ни при $CLK=0$, ни при $CLK=1$. Каждая ступень его сама по себе прозрачна, но включены ступени последовательно, и какая-нибудь одна из них всегда оказывается запертой или синхросигналом, или его отсутствием.

Путем введения обратных связей в RS-триггере можно избавиться от неопределенности при появлении запрещенных комбинаций входных сигналов. Было предложено четыре типа RS-триггера, ведущих себя по-разному при запрещенной комбинации входных сигналов. Самым интересным решением из них явился JK-триггер, который не имеет запрещенных комбинаций входных сигналов. Наоборот, при подаче на его входы запрещенной комбинации триггер перебрасывается в новое состояние, являющееся противоположным предыдущему.

Рассмотрим другой тип триггера – D-триггер.

D-триггером называют синхронный триггер, имеющий два входа: вход данных D и вход синхронизации C. D-триггер переключается только по сигналу на C-входе и в то состояние, которое имел вход D до прихода сигнала на C-вход. Поэтому триггер как бы задерживает прохождение поступившего по D-входу уровня до появления C-сигнала (D-delay-задержка). Другое назначение триггера – сохранить данные (data), поступившие однажды на D-вход. C-сигналы в этом случае играют роль команды: записать в триггер.

На рис. 8, а приведена схема D-триггера типа «прозрачная защелка», 8, б- условное обозначение триггера на принципиальных схемах, а 8, в – временная диаграмма его работы без учета задержек.

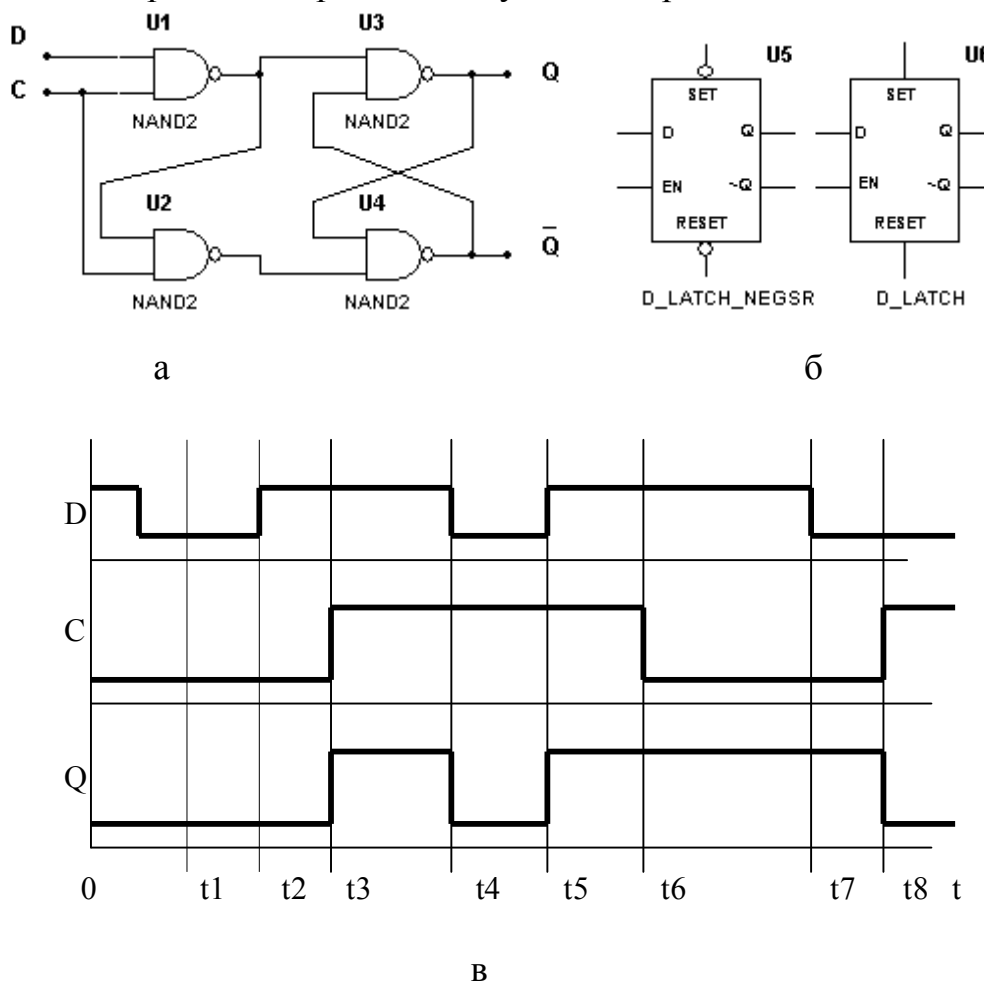


Рис. 8. D-триггер типа «прозрачная защелка»
 а – принципиальная схема на элементах 2И-НЕ;
 б – условное обозначение D-триггера в программе Multisim;
 в – временная диаграмма работы схемы

Из диаграммы видно, что изменения, происходящие на D-входе при $C=0$ (моменты t_1, t_2, t_7), никак не влияют на состояние выхода Q: триггер заперт по C-входу и находится в режиме хранения. Фронт C-сигнала (момент t_3) вызывает переключение триггера в то состояние, которое было к

этому моменту на входе D. При $C=1$ защелка «прозрачна»: любое изменение D-входа (моменты t_4 и t_5) вызывает изменение выхода Q. По срезу синхросигнала (момент t_6) защелка фиксирует на выходе то состояние, которое было на D-входе непосредственно перед этим моментом. Следующее изменение Q произойдет только в момент t_8 по фронту сигнала C. Таким образом, если на вход C подать единичный уровень сигнала, то триггер теряет свои логические переключательные качества и превращается в обычный буферный повторитель сигналов на входе D.

В табл.2 приведено описание функционирования триггера-защелки.

Таблица 2

D-триггер

Режим	C	D	Q_n	Q_{n+1}
Хранение	0	0	0	0
	0	0	1	1
	0	1	0	0
	0	1	1	1
Запись	1	0	0	0
	1	0	1	0
	1	1	0	1
	1	1	1	1

Каждый элемент, из которых состоит триггер, характеризуется некоторым временем задержки распространения сигнала от входа к выходу – $t_{з.р.}$. Поэтому длительность сигналов C и D и частота их следования ограничены. На рис. 9 представлена временная диаграмма работы «прозрачной защелки» с учетом временных задержек.

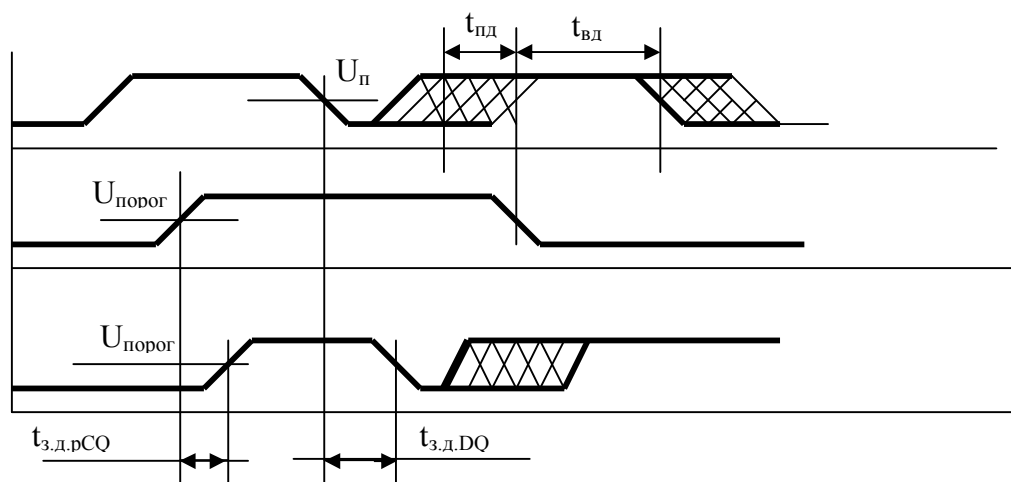


Рис. 9. Диаграмма временных задержек «прозрачной защелки»

Переходный процесс характеризуется значениями задержек распространения по двум трактам: $t_{зд,р\ CQ}$ – от входа C до выхода Q при $D=const$ и $t_{зд,р\ DQ}$ – от входа D до выхода Q при $C = 1$. Для обеспечения процесса переключения триггера без сбоев необходимо, чтобы переходный процесс в схеме защелки, вызванный срезом C -сигнала, не накладывался на переходный процесс, вызванный переключением D -входа. Это значит, что всякие изменения на D -входе должны прекратиться за некоторое время до среза C -сигнала, называемое временем подготовки $t_{ПД}$, и могут снова начинаться после среза C -сигнала не ранее чем через время выдержки (удержания) $t_{ВД}$. Эти временные отрезки оцениваются как $t_{ПД}=(1-2)t_{зд,р}$, $t_{ВД}=(0-1)t_{зд,р}$, где $t_{зд,р}$ – время задержки распространения сигнала для одного элементарного логического элемента (обычно 2И-НЕ) в пределах данной серии.

Примерами выпускаемых промышленностью «прозрачных» D -триггеров могут служить приведенные на рис. 10 микросхемы К155ТМ5 (7477), К155ТМ7 (7475), К561ТМ3 (CD4042).

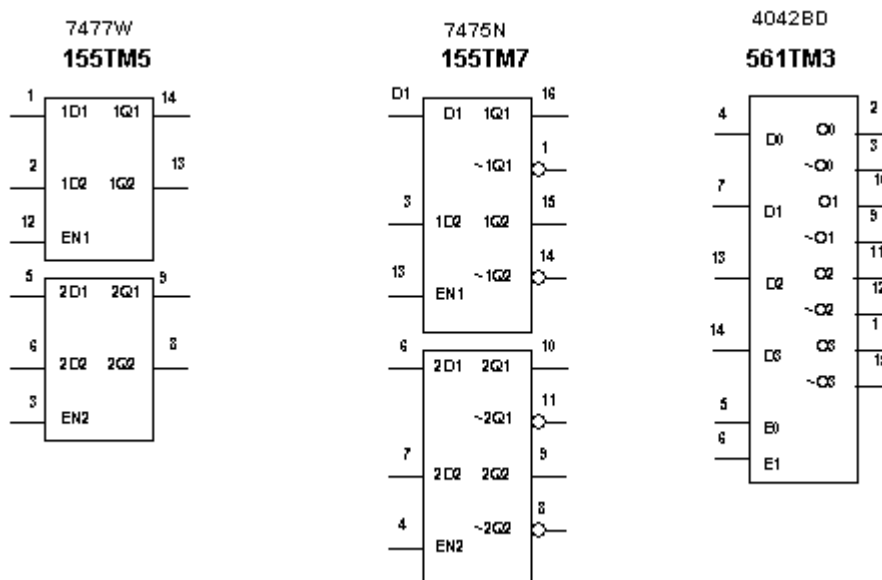


Рис. 10. Цоколевка микросхем «прозрачных» защелок

В табл. 3 и 4 приведены законы функционирования вышеприведенных защелок.

Таблица 3

К155ТМ5 и ТМ7

Режим работы	Вход		Выход	
	EN	D	Q_n	Q_{n+1}
Разрешение передачи данных на выход	1	0	0	1
	1	1	1	0
Защелкивание данных	0	x	Q_{n+1}	Q_{n+1}

K561TM3

Вход		Выход Q
E0	E1	
0	0	D
1	0	Не разрешено
1	1	D
0	1	Не разрешено

В зарубежной литературе «прозрачный» D-триггер-защелка получил название latch-защелка, а непрозрачный – flip-flop. Свойство непрозрачности достигается путем последовательной передачи информации из ведущего M-триггера (Master – хозяин) к ведомому S-триггеру (Slave – слуга). Благодаря общему синхросигналу С вся система функционирует как единое целое и называется двухступенчатым, или MS-триггером. На рис. 11, а приведена структурная схема MS-триггера, а 11, б – условное обозначение на схемах.

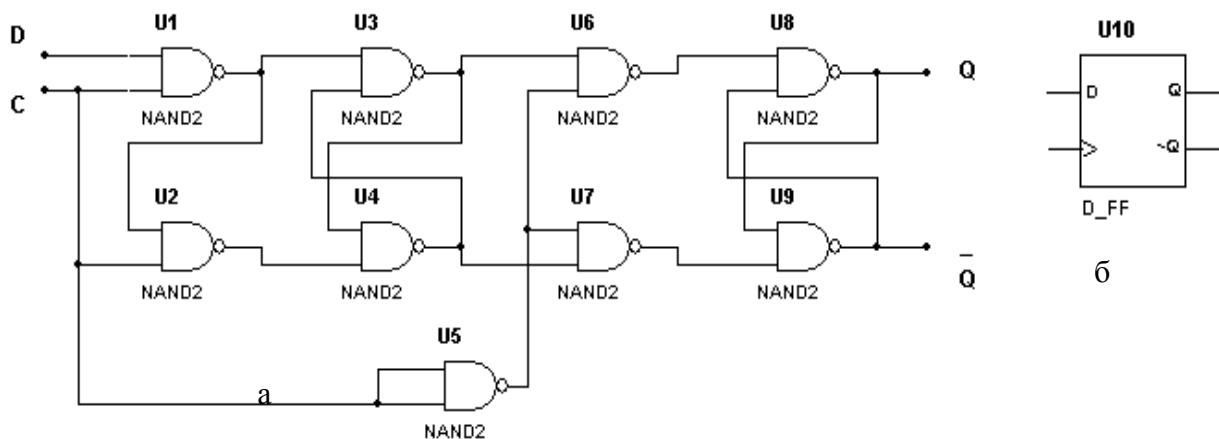


Рис. 11. MS-триггер:
а – структурная схема; б – условное обозначение

На рис. 11, а элементы U1-U4 образуют первую ступень триггера M, а U6-U9 вторую – S. U5 выполняет роль разделительного инвертора, обеспечивающего последовательную передачу информации от M к S. Конечно, задержка распространения сигнала через столь сложную структуру значительно возрастает, и это является своего рода платой за «непрозрачность системы».

Несколько меньшими аппаратными затратами и соответственно меньшей задержкой распространения сигнала отличается схема шестиэлементного синхронного триггера, приведенная на рис. 12.

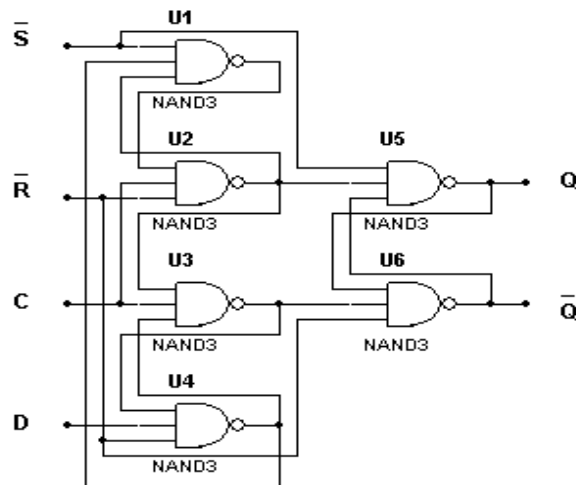


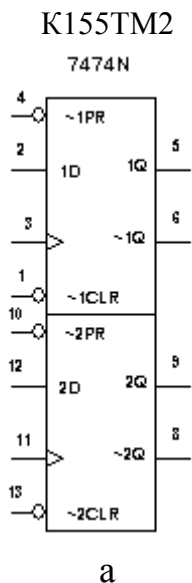
Рис. 12. Структурная схема шестиэлементного триггера

Выходным триггером в этой схеме является RS-триггер на элементах U5 и U6. Элементы U2 и U3 служат его входными конъюнкторами. При $C=0$ они оба закрыты и выходной триггер не реагирует на любые изменения D-входа. Это режим хранения информации.

По фронту C-сигнала в зависимости от уровня на D-входе открывается один из конъюнкторов U2 или U3 и переключает выходной триггер или подтверждает его состояние, если оно до этого совпадало с требуемым.

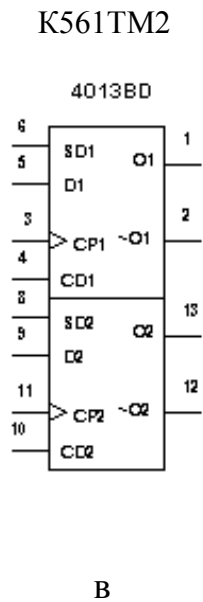
Элементы U1 и U4, управляемые D-входом, своими уровнями подготавливают один из конъюнкторов U2 или U3 для того, чтобы он открылся очередным C-сигналом.

Примером серийно выпускаемого шестиэлементного D-триггера могут служить микросхемы K155TM2, K561TM2. На рис. 13 приведены цоколевки и таблицы функционирования этих микросхем.



Режим работы	\bar{S}	\bar{R}	C	D	Q_{n+1}	\bar{Q}_{n+1}
Асинхронная установка	0	1	x	x	1	0
Асинхронный сброс	1	0	x	x	0	1
Неопределенность	0	0	x	x	1	1
Загрузка 1	1	1		1	1	0
Загрузка 0	1	1		0	0	1
Хранение	1	1	1	x	Q_n	\bar{Q}_n
Хранение	1	1		x		

б



Режим работы	S	R	C	D	Q_{n+1}	Q_{n+1}
Асинхронная установка	1	0	x	x	1	0
Асинхронный сброс	0	1	x	x	0	1
Неопределенность	1	1	x	x	1	1
Загрузка 0	0	0	↑	0	0	1
Загрузка 1	0	0	↑	1	1	0
Хранение	0	0	↓	x	Q_n	Q_n

Г

Рис. 13. Микросхемы D-триггеров:
 а – K155TM2; б – таблица функционирования K155TM2;
 в – цоколевка K561TM2; г – таблица функционирования K561TM2

На основе двухступенчатого JK-триггера можно построить D-триггер, как показано на рис. 14.

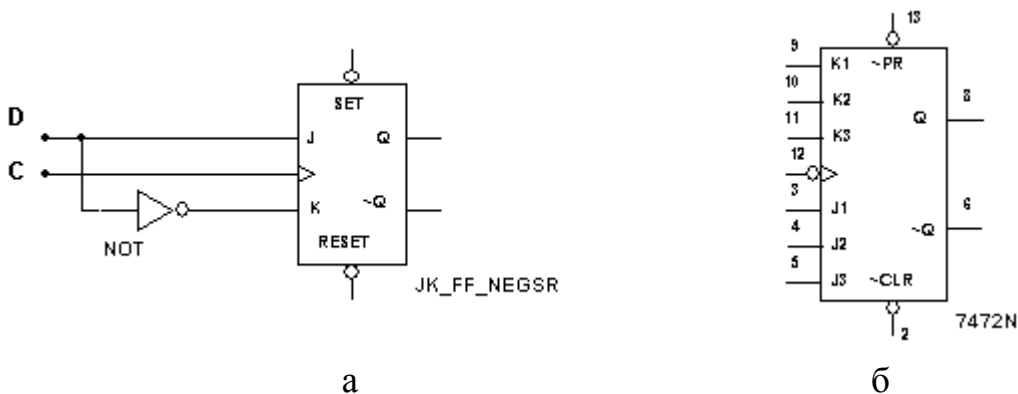


Рис. 14. Использование JK-триггера в качестве D-триггера:
 а – схема образования D-входа; б – микросхема K155TB1 (7472)

В отличие от защелки такой D-триггер будет непрозрачен по D-входу. Явление захвата и проскока у него отсутствуют, так как триггер переключается перепадом.

Рассмотренные триггеры объединяют в схемы, которые могут выполнять более сложные задачи, чем одиночный триггер. Наиболее известными и применяемыми являются регистры и счетчики.

Для запоминания и преобразования многоразрядных слов необходимое число триггеров объединяют в единый функциональный узел – регистр. Регистры, построенные на триггерах-защелках, например

K155TM5, K155TM7, K561TM3 и др., можно рассматривать как четырехразрядные регистры-защелки, имеющие информационные входы D_i , вход сигнала записи C , вход гашения R , выходы триггеров Q_i . Занесение информации в регистр называют операцией ввода или записи, а извлечение ее из регистра – выводом или считыванием. Немаловажным обстоятельством является возможность записи новой информации в регистр без его предварительного обнуления.

Все регистры в зависимости от функциональных свойств подразделяются на две категории – накопительные (регистры памяти, хранения) и сдвигающие. В свою очередь, сдвигающие регистры делятся по способу ввода и вывода информации на параллельные, последовательные и комбинированные, по направлению передачи (сдвига) информации – на однонаправленные и реверсивные.

На рис. 15 приведена схема регистра памяти, предназначенного для хранения двоичной информации небольшого объема. Регистр состоит из набора синхронных триггеров, каждый из которых хранит один разряд двоичного числа. Ввод (запись) и вывод (считывание) информации производится параллельным кодом. Ввод обеспечивается тактовым импульсом, с приходом очередного тактового импульса записанная информация обновляется. Считывание производится в прямом или обратном коде (с инверсных выходов).

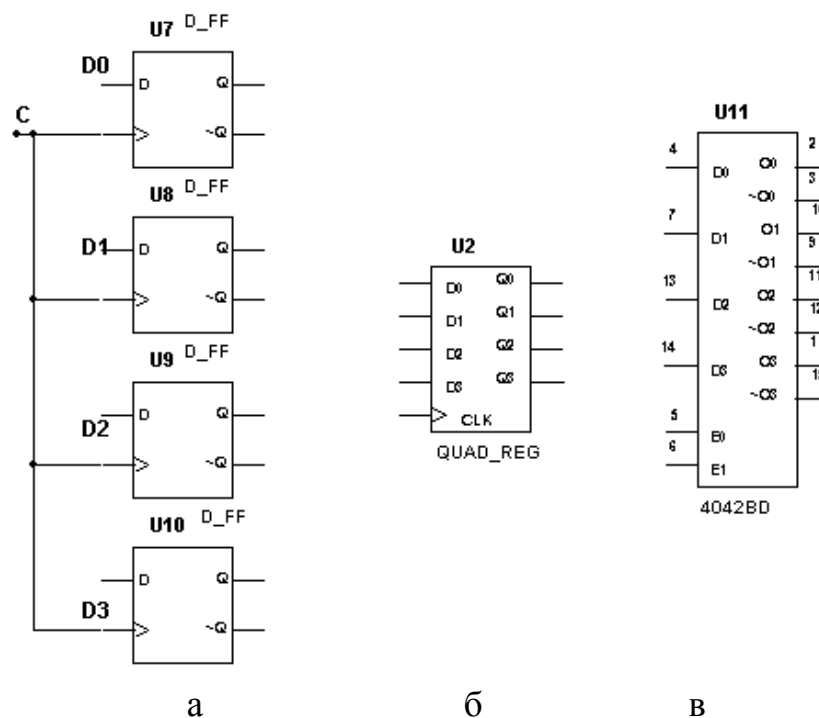


Рис. 15. Регистр памяти:
 а – схема; б – четырехразрядный регистр из библиотеки MISC;
 в – регистр K561TM3 (CD4042)

Особенностью регистра К561ТМ3 является наличие входа переключателя полярности – POLAVITY (вывод 6 на рис. 15, в). Если на этом входе Е1 низкий уровень, информация от входа D_i появится на выходе Q_i во время низкого уровня импульса на тактовом входе CLOCK (вывод 5 на рис. 15, в). В табл. 5 приведены сигналы управления этим регистром.

Таблица 5

Управление К561ТМ3

CLOCK	POLAVITY	Q
0	0	D
↑	0	Не разрешено
1	1	D
↓	1	Не разрешено

Регистры сдвига, кроме операции хранения, осуществляют преобразование последовательного двоичного кода в параллельный, а параллельного в последовательный; они выполняют арифметические и логические операции, служат в качестве элементов временной задержки.

Схема сдвигового регистра приведена на рис. 16.

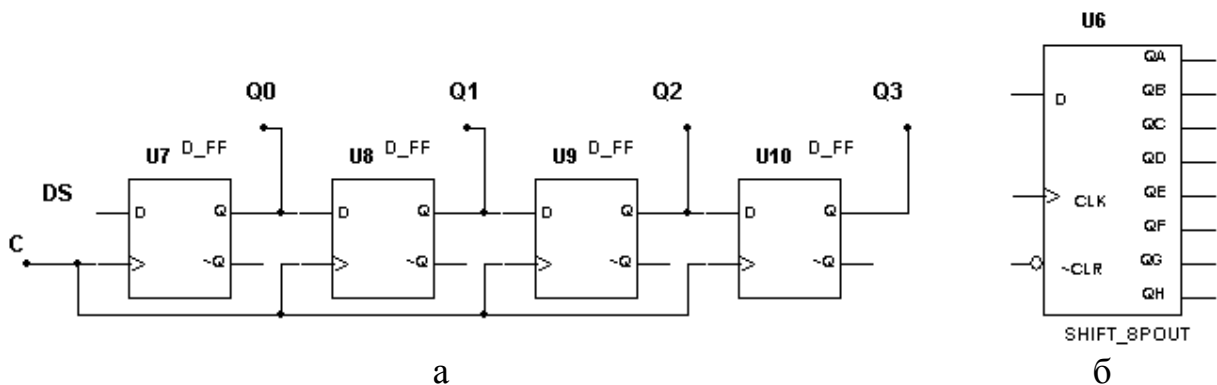


Рис. 16. Регистр сдвига:

а – схема четырехразрядного регистра; б – восьмиразрядный регистр сдвига из библиотеки MISC

С приходом каждого тактового импульса происходит перезапись (сдвиг) содержимого триггера каждого разряда в соседний разряд без изменения порядка следования единиц и нулей. На отечественных схемах символом регистра служат буквы RG, а стрелка указывает направление сдвига: ← сдвиг информации влево от младших разрядов к старшим, сдвиг → информации вправо, ↔ символ реверсивного (двунаправленного) регистра.

В качестве примера на рис. 17 приведены параметры регистра CD4015, которому соответствует отечественный аналог К561ИР2.

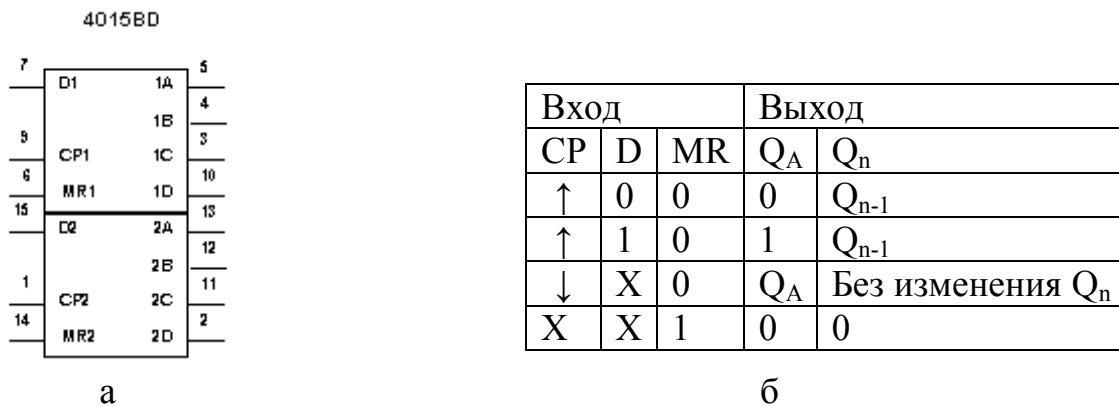


Рис. 17. Микросхема регистра К561ИР2:
а – библиотечное изображение 4015BD; б – таблица состояний

Как видно из рис. 17, а микросхема К561ИР2 (CD4015) содержит два независимых четырехразрядных регистра сдвига. Каждый регистр имеет четыре выхода Q от каждого триггера (1А-1D и 2А-2D). Все триггеры регистра двухступенчатые D-типа. Данные в регистр вводятся через последовательный порт D (D1 и D2). Регистр имеет вход тактовых импульсов CP, причем данные принимаются от входа D первого триггера и сдвигаются на один шаг влево (от младших разрядов к старшим) после каждого положительного тактового перепада на входе CP. Обнулить триггеры регистра можно, подав на вход асинхронного сброса MR напряжение высокого логического уровня.

На рис. 18 представлена схема сдвигового регистра, образованного из JK-триггеров. Схема образования функции D-триггера показана на рис. 14, а.

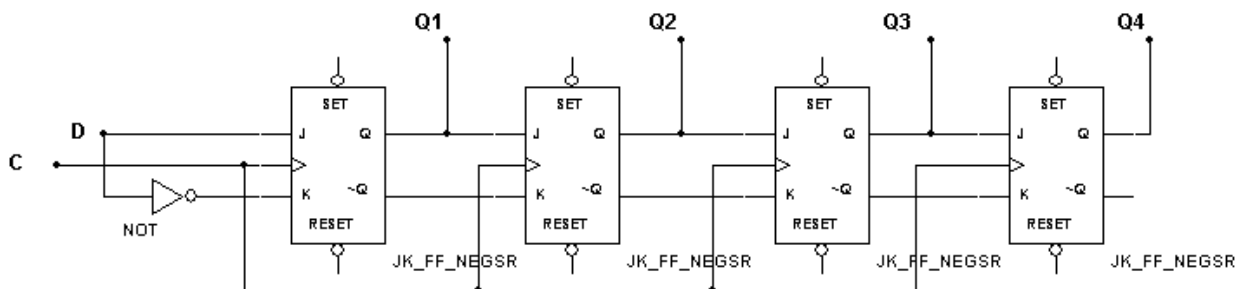


Рис. 18. Сдвиговый регистр на JK-триггерах

Применение сдвиговых регистров разнообразно. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, сдвиг вправо – делению пополам. Сдвигающий регистр, содержащий всего одну единицу, может выполнять роль счетчика, отображающего число по-

ступивших на вход сигналов положением единицы на линейной шкале. Если на вход сдвига подать импульсы от тактового генератора, то импульсы, образуемые на его выходах, могут быть использованы для многофазного управления, например, шаговым двигателем или многофазной синхронизацией.

На рис. 19 представлена схема кольцевого распределителя импульсов на основе сдвигового регистра.

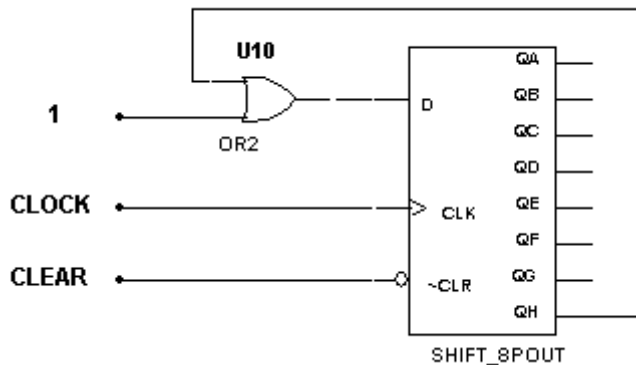
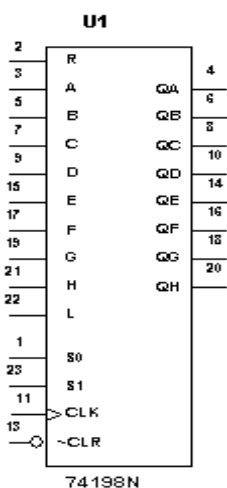


Рис. 19. Кольцевой распределитель импульсов

На рис. 20 представлен универсальный восьмиразрядный синхронный регистр сдвига К155ИР13 (74198). Входы А-Н предназначены для подачи информации при параллельной записи, R и L (Right и Left) – для подачи информации при последовательной записи и сдвиге вправо и влево соответственно, S0 и S1 – для управления режимом, CLK (Clock) – для подачи тактовых импульсов, CLR (Clear) – для сброса триггеров регистра, причем этот вход обладает наибольшим приоритетом, так как при подаче 0 происходит сброс всех триггеров независимо от состояния других входов.



Режим работы	Вход							Выход		
	CLK	CLR	S0	S1	DR	DL	DA	QA	QB-QG	QH
Сброс	X	0	X	X	X	X	X	0	0 - 0	0
Хранение	↑	1	0	0	X	X	X	q _a	q _b -q _g	q _h
Сдвиг влево	↑	1	1	0	X	0	X	q _b	q _c -q _h	0
	↑	1	1	0	X	1	X	q _b	q _c -q _h	1
Сдвиг вправо	↑	1	0	1	0	X	X	0	q _a -q _f	q _g
	↑	1	0	1	1	X	X	1	q _a -q _f	q _g
Параллельная загрузка	↑	1	1	1	1	1	d _n	d _a	d _b -d _g	d _h

а

б

Рис. 20. Регистр К155ИР13 (74198):

а – цоколевка микросхемы; б – таблица функционирования

Другим устройством, объединяющим ряд триггеров, является счетчик. Как уже было показано, сдвиговый регистр можно рассматривать в функции счетчика: например, счетчик Джонсона по своей структуре не что иное, как сдвиговый регистр.

Счетчиком называют устройство, сигналы на выходе которого отображают число импульсов, поступивших на счетный вход. По мере поступления входных сигналов счетчик последовательно перебирает свои состояния в определенном для данной схемы порядке. Длину списка используемых состояний называют модулем пересчета или емкостью счетчика.

Различные схемы счетчиков могут перебирать свои состояния в различном порядке. Различают двоичное кодирование, когда порядок смены состояний триггеров соответствует последовательности двоичных чисел; одинарное кодирование, когда состояние счетчика представлено местом расположения единственной единицы (например сдвигающий регистр с однойдвигающейся единицей); унитарное кодирование, когда состояние представлено числом единиц (например счетчик Джонсона), и более сложные виды кодирования.

По направлению счета известны суммирующие, вычитающие и реверсивные, а по способу организации внутренних связей – с непосредственной связью, с трактом последовательного переноса, с параллельным переносом, комбинированные и кольцевые.

К классификационным признакам счетчиков относятся также следующие временные показатели: разрешающая способность $T_{\text{раз.сч}}$ – минимальное время между двумя входными сигналами, в течение которого не возникают сбои в работе (обратная величина $F_{\text{макс}} = 1/T_{\text{раз.сч}}$ называется максимальной частотой счета), время установки кода $T_{\text{уст.}}$ – время между моментом поступления входного сигнала и переходом счетчика в новое устойчивое состояние. Эти параметры зависят от быстродействия триггеров и способа их соединения между собой.

Классификационные признаки независимы и могут встречаться в различных сочетаниях.

Микросхемы счетчиков выпускают в составе целого ряда серий, как правило, в корпусах с 14 или 16 выводами, по четыре триггера в корпусе, и хорошо приспособлены к наращиванию разрядности.

Варьируя связи между триггерами, предприятия изготавливают микросхемы счетчиков с различными модулями пересчета, например 6, 10, 12. В некоторых ТТЛ сериях счетчик разбивается на две части: триггер (т.е. счетчик на 2) с выведенными входом и выходом и счетчик на 8, 6 или 5 также с собственными входом и выходом. В результате одну и ту же микросхему можно использовать как счетчик с несколькими коэффициентами счета. Типичным представителем этого семейства является счетчик K155IE2 (SN 7490) – четырехразрядный десятичный асинхронный счетчик пульсаций, приведенный на рис. 21. Он состоит из делителей на 2 и на 5,

выполненных на тактируемых JK-триггерах. Для обоих тактовых входов запускаящим перепадом является переход от 0 к 1.

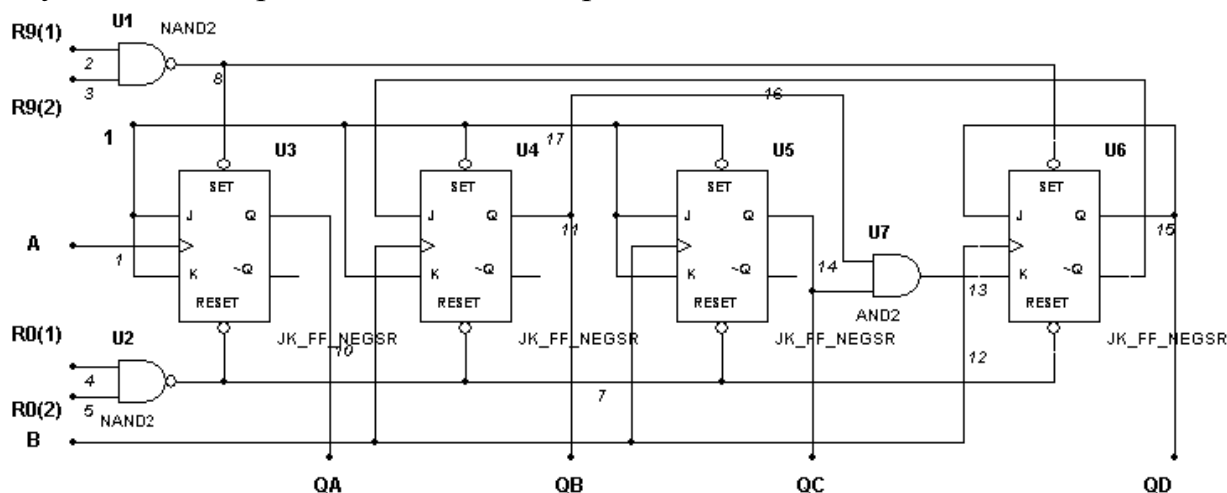


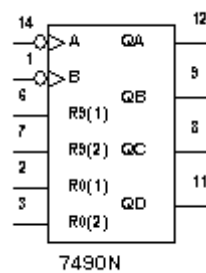
Рис. 21. Структура счетчика K155IE2:

- R9(1), R9(2) – входы предварительной загрузки в счетчик кода $1001_2=9_{10}$;
- R0(1), R0(2) – входы синхронного сброса;
- A – тактовый вход первой ступени $K_{сч.}=2$;
- B – тактовый вход второй ступени $K_{сч.}=5$;
- QA – выход триггера первой ступени счетчика;
- QB, QC, QD – выходы триггеров второй ступени счетчика

На рис. 22 приведены условное обозначение микросхемы и таблица функционирования.

RESET INPUTS				OUTPUT			
R0(1)	R0(2)	R9(1)	R9(2)	Qd	Qc	Qb	Qa
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	COUNT			
0	X	0	X	COUNT			
0	X	X	0	COUNT			
X	0	0	X	COUNT			

а



б

Рис. 22. Микросхема K155IE2 (SN 7490):

а – таблица выбора режима работы; б – цоколевка микросхемы

На рис. 23 показаны возможные способы изменения коэффициента счета микросхемы K155IE2 без применения внешних дополнительных логических элементов.

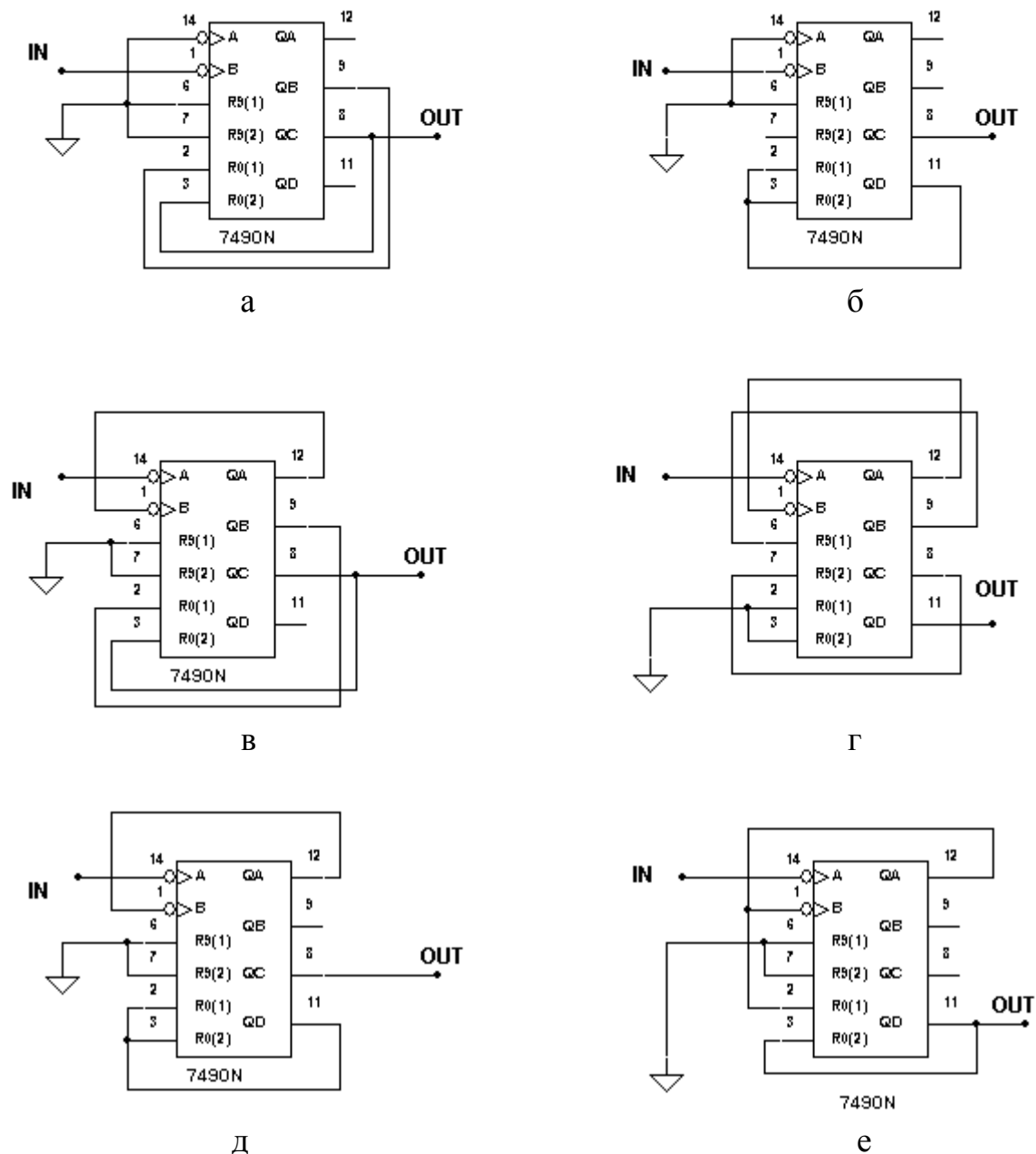


Рис. 23. Схемы внешних соединений при изменении коэффициента счета:
 а – $K_{сч.} = 3$; б – $K_{сч.} = 4$; в – $K_{сч.} = 6$; г – $K_{сч.} = 7$; д – $K_{сч.} = 8$; е – $K_{сч.} = 9$

Образование недостающих коэффициентов 2, 5 и 10 очевидно и не требует пояснений.

В табл. 6 приведены функциональное назначение и соответствие между наиболее популярными отечественными и зарубежными сериями ТТЛ и КМОП микросхем счетчиков.

Счетные микросхемы выпускают в виде как счетчиков-делителей, имеющих лишь счетный вход и выход переноса, без выводов состояний триггеров, так и собственно счетчиков, у которых выведены выходы всех триггеров, а иногда и их входы D_i для параллельной загрузки начального состояния. Большинство счетчиков имеет вход гашения R. Загрузку и

гашение обычно делают по приоритетным S- и R-входам триггеров, а J- и K-входы используют только для счета. Как правило, вход управления параллельной загрузкой PL имеет приоритет по отношению к счетному входу, т.е. при одновременной подаче активного счетного фронта и активного уровня загрузки операция счета игнорируется, а выполняется операция параллельной загрузки кода со входов D_i . Вход гашения R практически всегда имеет наивысший приоритет по отношению как к счету, так и к загрузке.

Таблица 6

Соответствие наименований зарубежных и отечественных микросхем

K155	SN 74	Функциональное назначение	K561	CD 4000	Функциональное назначение
ИЕ2	90	Четырехразрядный асинхронный двоично-десятичный счетчик	ИЕ8	4017	Десятичный счетчик-делитель Джонсона
ИЕ4	92	Четырехразрядный асинхронный счетчик-делитель на 12	K176 ИЕ1	4024	Семиразрядный счетчик-делитель
ИЕ5	93	Четырехразрядный асинхронный двоичный счетчик	1561 ИЕ20	4040	12-разрядный двоичный счетчик
ИЕ6	192	Четырехразрядный реверсивный двоично-десятичный счетчик	Нет аналога	4510	Реверсивный счетчик с предустановкой
ИЕ7	193	Четырехразрядный реверсивный двоичный счетчик	ИЕ11	4516	Реверсивный счетчик с предустановкой
ИЕ9	160	Четырехразрядный синхронный двоично-десятичный счетчик	ИЕ10	4520	Двойной четырехразрядный двоичный счетчик

Изменить коэффициент счета готового счетчика на желаемое значение можно двумя основными способами: со сбросом счетчика в 0 и с загрузкой дополнения. На рис. 24 приведены схемы реализации этих способов.

Идея работы схемы по рис. 24, а заключается в обнаружении кода конца счета, для чего двоичный счетчик разрядности n (причем чтобы 2^n было больше $K_{сч}$) дополняется элементом И, который по состояниям выходов Q_i обнаруживает ситуацию $K_{сч}-1$, после чего по цепи CLR (сброс) происходит принудительная очистка триггеров счетчика. Путем коммутации проводников № 2, 3, 4 и 6 на рис. 24, а можно получить желаемый коэффициент деления как в виде числа импульсов (OUT1), так и в виде параллельного кода (OUT2). По второму способу (рис. 24, б) двоичный счетчик перед началом счета загружается кодом дополнения числа $K_{сч}$ до 2^n . Кодом конца счета в этом случае является естественное переполнение счетчика,

т.е. код 1111 на выходе OUT2, обнаруживаемый штатным трактом переноса RCO, в результате чего вырабатывается сигнал OUT1, который, воздействуя на вход LOAD, управляющий параллельной загрузкой, снова устанавливает в счетчике дополнение $K_{сч}$ до 2^n .

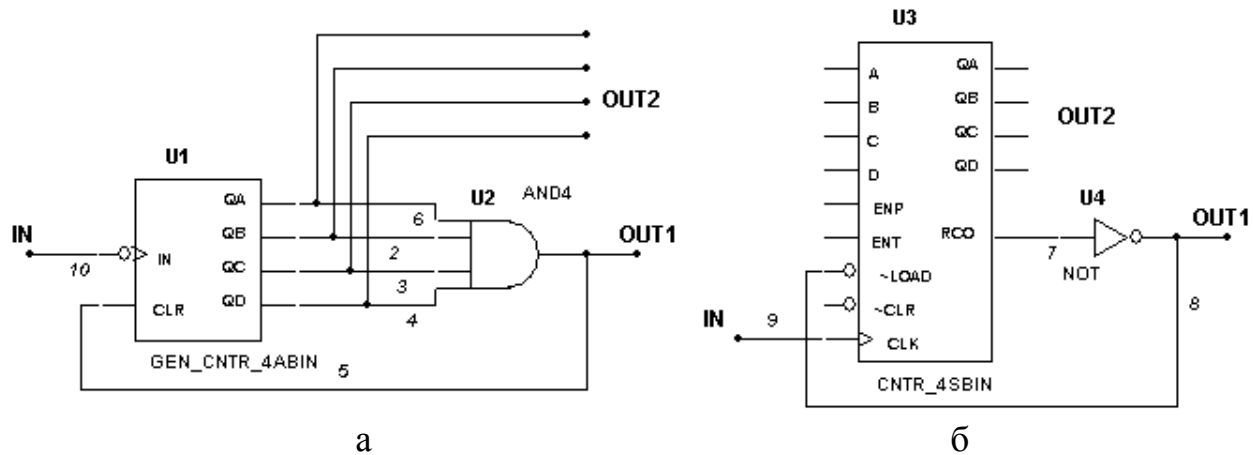


Рис. 24. Структурные схемы счетчиков по произвольному основанию:
а – со сбросом счетчика в 0; б – с загрузкой дополнения

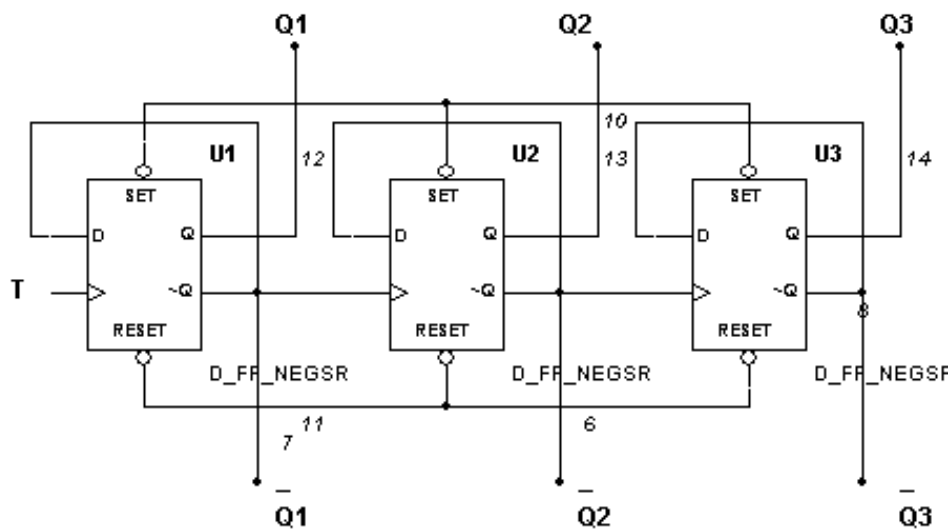
ЗАДАЧИ

1. Используя элементы и инструменты библиотеки Multisim, построить и исследовать нижеприведенные схемы:

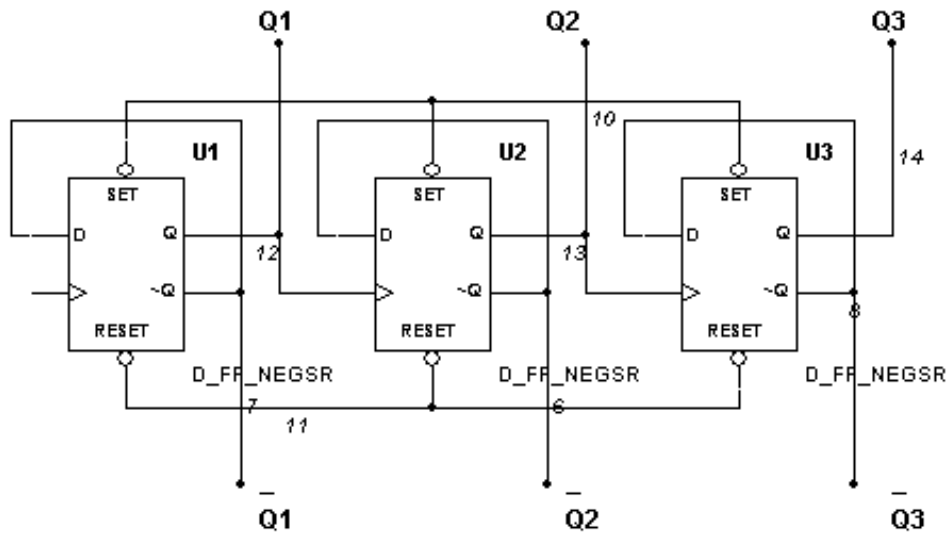
а. определить, на каких выходах $Q1-Q3$ и $\overline{Q1}-\overline{Q3}$ появляются коды увеличения и уменьшения содержимого счетчика?

б. чему равен $K_{сч}$ этих схем?

в. построить циклограммы работы счетчиков а и б.

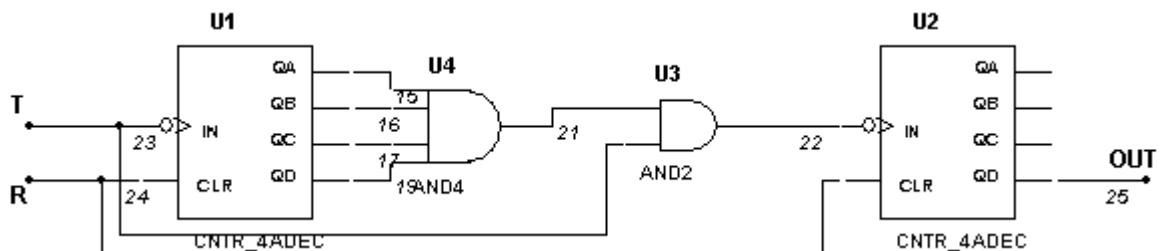


а



б

2. Определить $K_{сч}$ всей схемы.



3. Спроектировать и построить счетчик с $K_{сч}$ 123.

4. Разработать схему суммирующего счетчика с $K_{сч} = 3$:

а – на D-триггерах;

б – JK-триггерах.

Построить циклограммы работы счетчиков.

5. Используя дополнительные логические элементы, превратить схемы счетчиков из задачи 1а и 1б в реверсивные.

6. Разработать схему устройства, которое имело бы цикл из восьми тактов и выдавало на выходе последовательность импульсов А при значении управляющего сигнала $Z=1$ и В при $Z=0$. Устройство построить на триггерах и логических элементах из библиотеки MISC.

Такт	В а р и а н т ы																			
	1		2		3		4		5		6		7		8		9		10	
	А	В	А	В	А	В	А	В	А	В	А	В	А	В	А	В	А	В	А	В
0	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
1	1	0	0	0	1	1	1	0	0	1	1	0	1	0	0	0	1	1	1	1
2	1	0	1	0	1	0	1	1	1	1	0	0	1	1	1	0	0	1	0	0
3	1	1	1	0	1	1	1	1	0	0	0	1	0	0	1	0	0	0	1	0
4	0	0	0	1	1	1	0	0	0	1	0	1	1	0	1	0	1	0	1	0
5	1	0	1	0	0	0	0	0	1	1	0	0	1	1	0	1	1	0	0	0
6	1	0	0	0	1	1	0	1	0	0	1	0	1	0	0	0	0	1	1	0
7	1	1	0	0	1	0	0	0	1	0	1	0	1	0	0	1	1	1	1	1

7. На триггерах типа К155ТМ2 построить делитель входной частоты на следующие коэффициенты:

	В А Р И А Н Т ы							
	1	2	3	4	5	6	7	8
Коэффициент деления	2	3	4	5	6	7	8	9

8. Спроектировать, построить и исследовать схемы преобразователей четырехразрядных кодов: 2 в 2^{10} и 2^{10} в 2 . Использовать счетчики К155ИЕ6 (74192) и К155ИЕ7 (74193).

9. Разработать схему электронного цифрового секундомера у которого запуск, остановка счета и сброс осуществляются одной кнопкой.

10. Разработать схему устройства, которое на четырехразрядном выходе формирует двоичные коды, возрастающие от 0 до 9, затем убывающие от 9 до 0 и т.д. Использовать счетчик К155ИЕ6 (74192).

11. Разработать схему «дозатора» импульсов, выдающего по сигналу «Пуск» одиночную пачку импульсов, содержащую заданное число импульсов, вырезанных из непрерывной последовательности входных.

Пачка	В а р и а н т															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Число импульсов в пачке	3	5	7	9	13	17	20	27	30	33	39	45	62	66	100	125

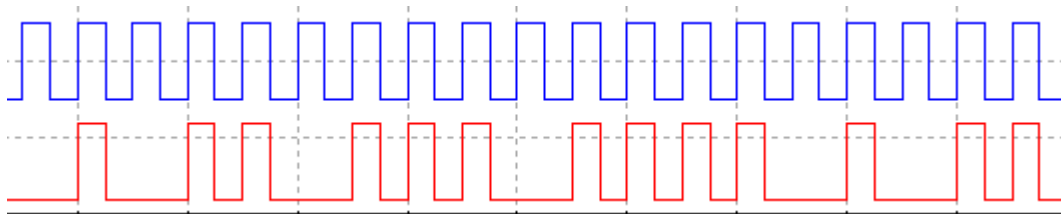
12. Разработать схему устройства, суммирующего входные импульсы по принципу:

- а – каждый четный;
- б – каждый нечетный;
- в – каждый третий;
- г – каждый девятый

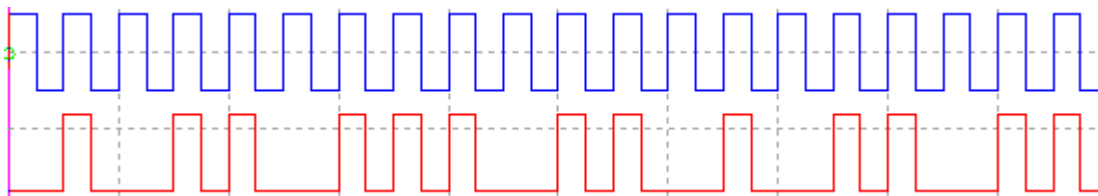
13. Разработать схему светофора регулирования дорожного движения:

- желтый свет – 2 такта;
- красный свет – 6 тактов;
- желтый свет – 2 такта;
- зеленый свет – 6 тактов;
- желтый свет должен быть мигающим.

14. Разработать схему генератора импульсов:



а



б

15. Разработать схему автомата, который имел бы цикл из четырёх тактов и выдавал на шести выходах последовательности импульсов, указанные в таблице.

Номер такта	У1	У2	У3	У4	У5	У6
0	1	0	1	0	1	0
1	0	1	0	1	1	0
2	0	1	1	0	0	0
3	0	0	0	1	0	1

16. Разработать схему автомата, который имел бы цикл из восьми тактов и выдавал одновременно на двух отдельных выходах последовательности импульсов в соответствии с таблицей.

Номер такта	У1	У2
0	0	0
1	1	0
2	1	0
3	0	1
4	1	0
5	0	1
6	0	1
7	1	1

17. Разработать схему перестраиваемого автомата, который имел бы цикл из четырех тактов и выдавал на единственном выходе при управляющем сигнале $z=0$ последовательность У1, а при $Z=1$ – последовательность У2.

Номер такта	У1	У2
0	0	0
1	0	1
2	0	0
3	1	1

18. Разработать схему управляемого суммирующего счетчика в котором при управляющем сигнале $Z = 0$ модуль счета $k = 8$, а при $Z = 1$ $k = 5$.

19. Спроектировать устройство «кольцевой бегущий огонь» из 8 лампочек. Устройство должно выполнять следующие функции:

а – останавливать вращение;

б – менять направление вращения;

в – осуществлять сдвиг пачки от одной до семи горящих лампочек.

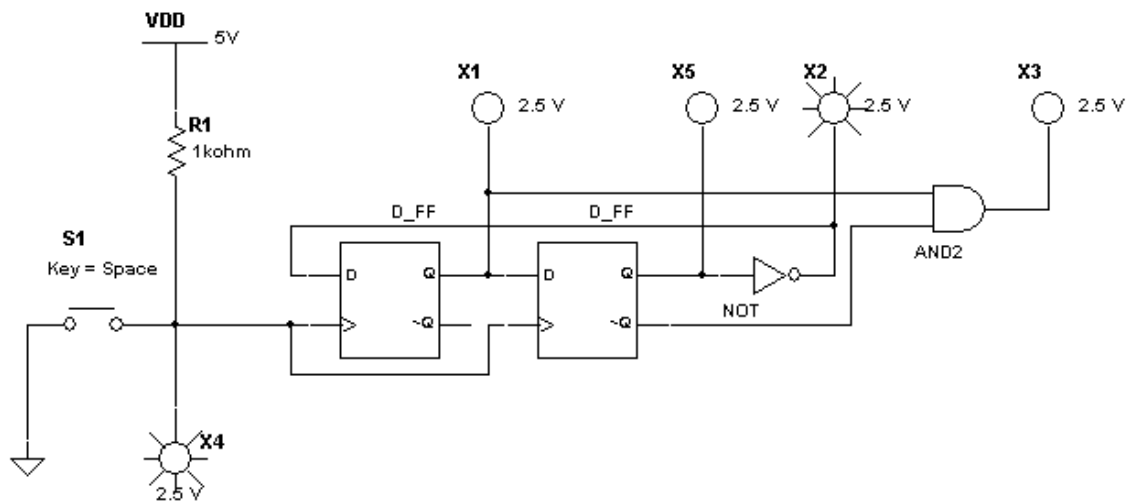
20. Разработать схему управления многофазным шаговым двигателем согласно таблице вариантов (А – Н).

Наличие импульса напряжения на фазах двигателя	Количество фаз в двигателе			
	3	4	5	6
Только на одной фазе	А	В	С	Д
Одновременно на двух соседних фазах	Е	F	G	Н

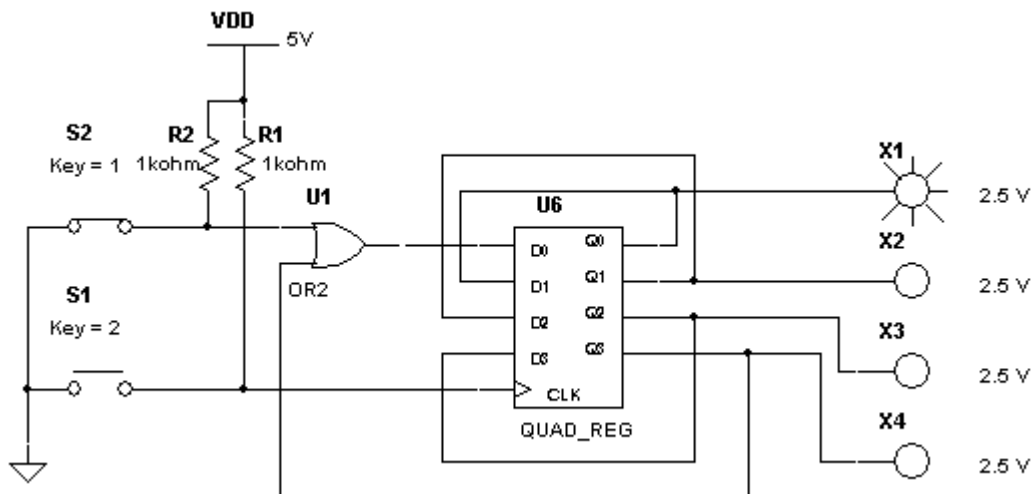
Схема должна иметь возможность остановки двигателя без снятия напряжения с фаз и изменения направления вращения.

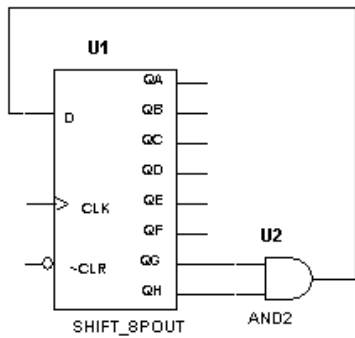
21. Составить схему устройства на сдвиговом регистре, которое в течение 4 тактов вырабатывало бы на выходе последовательность импульсов согласно таблице задания. Регистр образовать из триггеров и логических элементов библиотеки Multisim. Оснастить схему средствами управления и контроля. Пример схемы для варианта 1 приведен ниже.

Номер такта	ВАРИАНТЫ							
	1	2	3	4	5	6	7	8
0	1	0	1	0	1	0	0	1
1	0	1	0	1	1	1	0	0
2	0	1	1	0	0	1	0	0
3	0	0	0	1	0	1	1	1

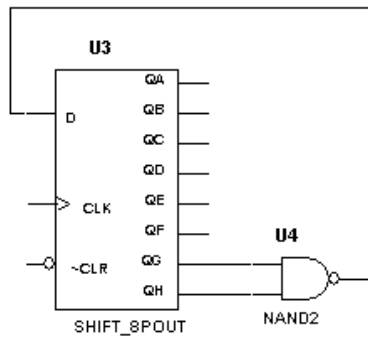


22. Исследовать нижеприведенные схемы кольцевых распределителей импульсов на основе регистра сдвига. Пример образования регистра сдвига из библиотеки MISC и оснащения его средствами управления и контроля приведен ниже. Определить длительность цикла.

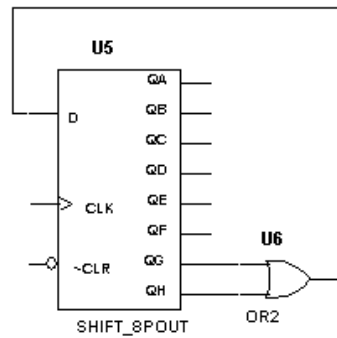




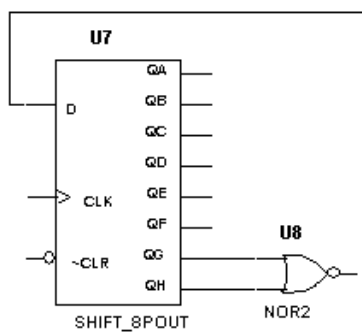
а



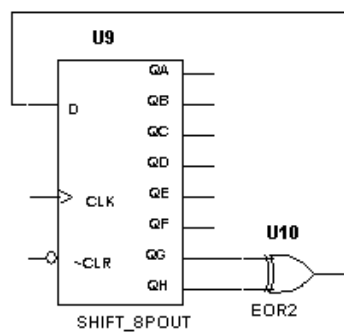
б



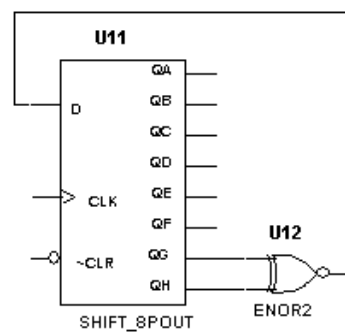
в



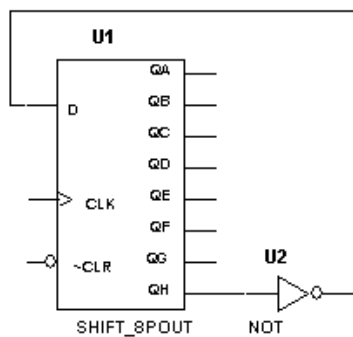
г



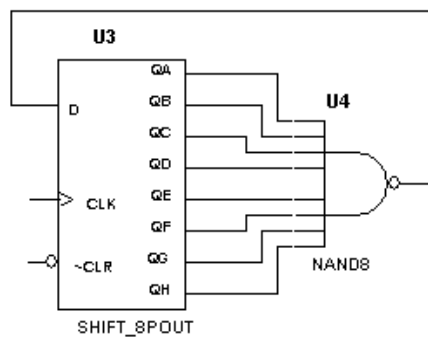
д



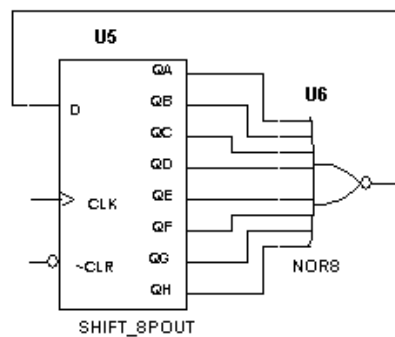
е



ж



з



и



В.Я. Тойбич
Г.Г. Ордуянц

**ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА.
ИССЛЕДОВАНИЕ И РЕШЕНИЕ ЗАДАЧ
В ОБОЛОЧКЕ MULTISIM**

Екатеринбург
2014